

## SHORT-CIRCUITING METHOD FOR CLOSED CIRCUIT FORMING ELECTRODE

Patent Number: JP6232537  
Publication date: 1994-08-19  
Inventor(s): YONEZAWA MASAO; others: 01  
Applicant(s): MURATA MFG CO LTD  
Requested Patent: ☐ JP6232537  
Application Number: JP19930015411 19930202  
Priority Number(s):  
IPC Classification: H05K3/22; H01L21/82; H01L23/12  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To enable a pair of electrodes to be surely short-circuited by a method wherein a pair of closed circuit forming trapezoidal electrodes are formed making their long sides confront each other, and solder paste is printed covering a region larger than the electrodes in area and fused by heating.

**CONSTITUTION:** When a wiring pattern is formed on a board, a set of closed circuit forming trapezoidal electrodes 2 and 2 whose short sides are joined to wiring patterns 1 and 1 respectively are formed so as to make their long sides confront each other interposing a prescribed gap between them. Fine pitch solder paste 3 is printed covering a region larger than the electrodes 2 and 2 in area. Thereafter, when solder paste 3 is fused by heating, solder paste located on a region outside the narrow parts of the electrodes 2 and 2 jointed to the wiring patterns 1 and 1 is attracted to the electrodes 2 and 2 and uniformly spread over them, whereby the electrodes 2 and 2 are short-circuited by molten solder 4.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232537

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/22	A	7511-4E		
H 0 1 L 21/82				
23/12				
		9169-4M	H 0 1 L 21/ 82	S
		9355-4M	23/ 12	Q
審査請求 未請求 請求項の数1 O L (全 4 頁) 最終頁に続く				

(21)出願番号 特願平5-15411

(22)出願日 平成5年(1993)2月2日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 米澤 正雄

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 守安 明義

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

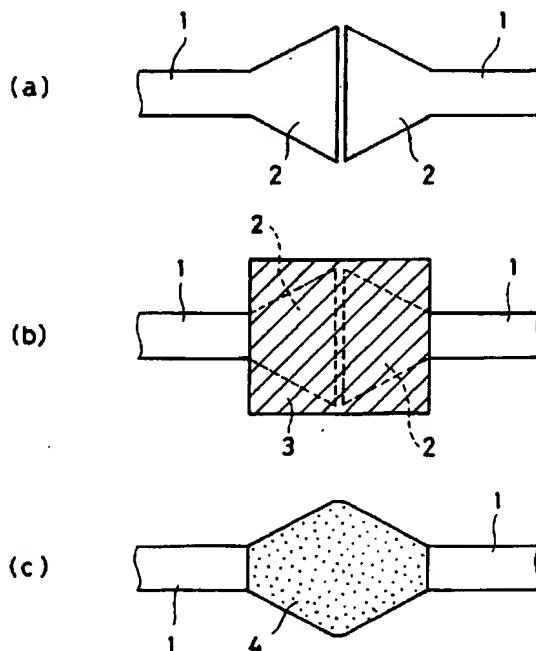
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 閉回路形成用電極の短絡方法

(57)【要約】

【目的】 一対の閉回路形成用電極の短絡方法であって、その短絡が確実におこなえるようにする。

【構成】 配線パターンに接続されたその配線パターン側が狭くなるような形状の一対の閉回路形成用電極を所定のギャップをおいて対向するように形成し、その一対の閉回路形成用電極の上から、この電極よりも大きな面積を有する領域に半田ペーストを印刷し、この半田ペーストを加熱して溶融することにより前記一対の閉回路形成用電極をその溶融した半田で短絡する。



1

## 【特許請求の範囲】

【請求項1】 基板上において、配線パターンに接続されたその配線パターン側が狭くなるような形状の一对の閉回路形成用電極を所定のギャップをおいて対向するように形成し、その一对の閉回路形成用電極の上からこの電極よりも大きな面積を有する領域に半田ペーストを印刷し、その半田ペーストを加熱して溶融することにより前記一对の閉回路形成用電極をその溶融した半田で短絡することを特徴とする閉回路形成用電極の短絡方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ハイブリッドIC等の複合回路部品において用いられる閉回路形成用電極の短絡方法に関する。

【0002】

【従来の技術】 ハイブリッドIC等の複合回路部品において、たとえば閉回路中に接続されている抵抗体をトリミングしようとする場合、その抵抗体の抵抗値が単独で測定できるようになっている必要がある。

【0003】 ところが、閉回路中に他の抵抗体が接続されていると、その抵抗体の抵抗値の影響をうけてトリミングしようとする抵抗体自身の抵抗値が測定できないため、正確なトリミングが不可能となる。

【0004】 そのため、そのトリミングをしようとする抵抗体については、閉回路を形成する配線パターンの一部をあらかじめ切断した状態にして他の抵抗体の影響を受けないようにしておき、トリミングが終了した後にその切断されている配線パターンを接続して閉回路を形成するということが行われている。

【0005】 このような閉回路の形成手段として、従来から図3に示すような方法が採用されている。すなわち、図3(a)に示すように、複合回路部品を形成する基板上において、配線パターン11、11に接続された矩形形状の一对の閉回路形成用電極12、12を所定のギャップをおいて対向するように形成しておく。このままではまだ閉回路が形成されていないので、たとえば抵抗体のトリミングが可能となる状態となっている。そして、トリミング等が終了した後、図3(b)に示すように、一对の閉回路形成用電極12、12の上からその電極12、12の周囲を取り囲むような面積を有する領域に半田ペースト13を印刷する。その後、半田ペースト13を加熱して溶融すると、図3(c)に示すように、溶融した半田14によって閉回路形成用電極12、12が短絡され、閉回路が形成される。

【0006】

【発明が解決しようとする課題】 一方、昨今、集積回路等の基板上に搭載する電子部品のリードピッチのファイン化にともない、リード間で短絡の生じにくいファインピッチ用の半田ペーストが開発され、導入されてきている。

2

【0007】 ところが、このような半田ペーストでは、その半田ペーストの性質上、上記の閉回路形成用電極12、12間においても短絡が生じにくくなるため、確実な閉回路の形成が困難となり、半田ごて等で手直しをしなければならぬという問題が生じる。

【0008】 したがって、本発明においては、上記のようなファインピッチ用の半田ペーストを用いた場合でも、閉回路形成用電極の短絡が確実におこなえるような閉回路形成用電極の短絡方法を提供することを目的としている。

【0009】

【課題を解決するための手段】 このような目的を達成するため、本発明の閉回路形成用電極の短絡方法においては、配線パターンに接続されたその配線パターン側が狭くなるような形状の一对の閉回路形成用電極を所定のギャップをおいて対向するように形成し、その一对の閉回路形成用電極の上からこの電極よりも大きな面積を有する領域に半田ペーストを印刷し、その半田ペーストを加熱して溶融することにより前記一对の閉回路形成用電極をその溶融した半田で短絡することを特徴としている。

【0010】

【作用】 配線パターン側が狭くなるような形状の一对の閉回路形成用電極を所定のギャップをおいて対向するように形成し、その電極よりも大きな面積を有する領域に半田ペーストを印刷したことにより、閉回路形成用電極の配線パターン側の狭い部分の外側の領域にある半田ペーストが溶融されることによって閉回路形成用電極に引き寄せられ、その電極面をつたって電極上に均一に広がっていく。そのため、その一对の閉回路形成用電極のギャップ付近の溶融半田量も多くなり、その一对の電極が容易に短絡されることになる。

【0011】

【実施例】 以下、本発明の実施例を図面を参照して詳細に説明する。

【0012】 まず、基板上に配線パターンを形成するときに、図1(a)に示すように、配線パターン1、1に接続されたその配線パターン1、1側が狭くなるような形状の一对の閉回路形成用電極2、2を同時に形成しておく。この一对の閉回路形成用電極2、2は、たとえば、100μm程度の範囲内のギャップをおいて対向するように形成される。

【0013】 そして、抵抗体のトリミング等の所定の処理が終了した後に、図1(b)に示すように、一对の閉回路形成用電極2、2の上からこの電極2、2よりも大きな面積を有する領域にファインピッチ用の半田ペースト3を印刷する。

【0014】 その後、半田ペースト3を加熱して溶融すると、閉回路形成用電極2、2の配線パターン1、1側の狭い部分の外側の領域にある半田ペースト部分も電極2、2に引き寄せられて電極2、2上に均一に広がって

3

いき、図1(c)に示すように、熔融した半田4により一対の電極2、2が短絡される。勿論、この熔融した半田4は次第に冷えて固化する。

【0015】なお、閉回路形成用電極2、2の形状は図2に示すようなものであってもよく、要は配線パターン1、1側が狭くなるようなものであればよい。また、閉回路形成用電極2、2を上記のように形成したことにより、従来からの半田ペーストを用いる場合であっても短絡が確実に起こわれるようになることはいうまでもない。

【0016】

【発明の効果】以上説明したことから明らかなように本発明によれば、配線パターンに接続されたその配線パターン側が狭くなるような形状の一対の閉回路形成用電極を所定のギャップをおいて対向するように形成し、この一対の電極の上から、この電極よりも大きな面積を有する領域に半田ペーストを印刷するようにしたから、一対の閉回路形成用電極の短絡が確実に起こえるようになる。

【図面の簡単な説明】

20

4

【図1】本発明の閉回路形成用電極の短絡方法を説明するための図で、図1(a)は閉回路形成用電極の平面図、図1(b)は図1(a)に示す閉回路形成用電極の上から半田ペーストを印刷した状態を示す図、図1(c)は図1(b)に示す半田ペーストを熔融した後の状態を示す図である。

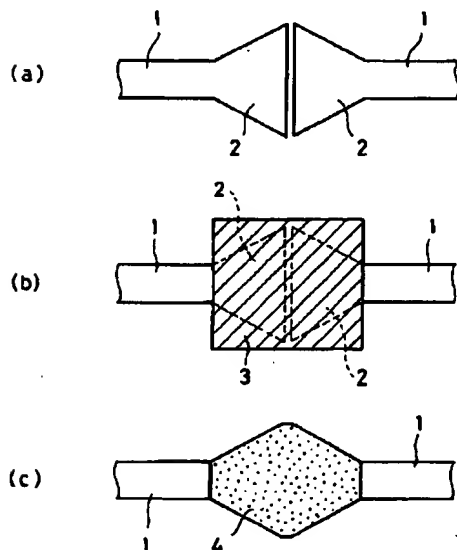
【図2】本発明に用いる閉回路形成用電極の他の形状例を示す図である。

【図3】従来例の閉回路形成用電極の短絡方法を説明するための図で、図3(a)は閉回路形成用電極の平面図、図3(b)は図3(a)に示す閉回路形成用電極の上から半田ペーストを印刷した状態を示す図、図3(c)は図3(b)に示す半田ペーストを熔融した後の状態を示す図である。

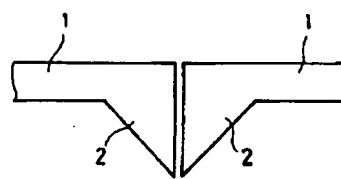
【符号の説明】

- 1 配線パターン
- 2 閉回路形成用電極
- 3 半田ペースト
- 4 熔融した半田

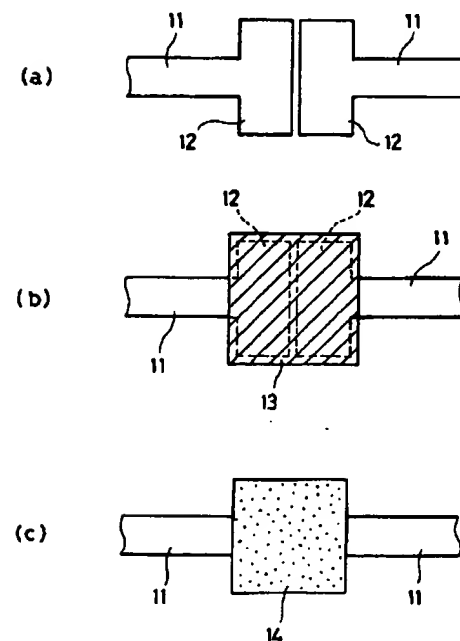
【図1】



【図2】



【図3】



(4)

特開平6-232537

フロントページの続き

(51)Int. Cl. <sup>5</sup>

識別記号

庁内整理番号  
9355-4M

F I

H 0 1 L 23/12

技術表示箇所

H